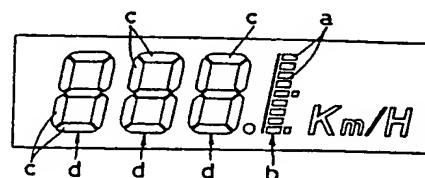


(54) NUMBER DISPLAY METHOD

(11) 2-184889 (A) (43) 19.7.1990 (19) JP
 (21) Appl. No. 64-5500 (22) 12.1.1989
 (71) ROYAL KOGYO K.K. (72) FUJI KOIKE
 (51) Int. Cl.⁵ G09G3/04, G06G1/06, G09G3/00

PURPOSE: To roughly grasp the increase and decrease of digital numbers by displaying the increase in such a way that a digital display is incremented by one after all the consecutive segments of an analog display are displayed to increment the digital display and displaying the decrease in such a way that all the consecutive segments of the analog display are turned off to decrement the digital display by one.

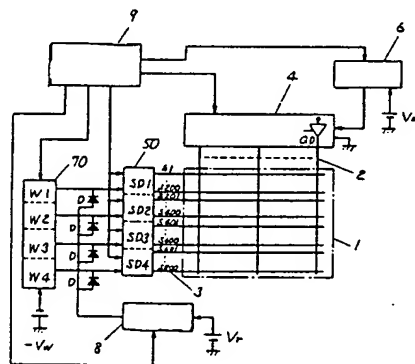
CONSTITUTION: The unit is composed of the analog display (b) which displays a type face "1" by nine consecutive segments (a), and several digital numbers (d) which display numbers by each seven segments (c). The analog display (b) is arranged at the first decimal place, and the digital numbers (d) are arranged at the first to third places. The analog display (b) has a function which increments or decrements the nine consecutive segments (a) by instructions to increment or decrement one digital number and visually and consecutively display the result. The digital numbers (d) have a function which visually displays and operates numbers 0-9 by seven segments (c). Therefore, the increase or decrease of the number of the digital display can be roughly grasped.

**(54) MATRIX DISPLAY DEVICE**

(11) 2-184890 (A) (43) 19.7.1990 (19) JP
 (21) Appl. No. 64-5249 (22) 12.1.1989
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) TAKASHI TSUKADA
 (51) Int. Cl.⁵ G09G3/20

PURPOSE: To decrease electrical loss caused by the output capacity of the driver on the scan side by multi-dividing the driver on the scan side, impressing a write voltage only on the GND line of the drive block on the scan side where a selected voltage exists, and floating the GND line of the drive block on the scan side where a non-selected voltage exists.

CONSTITUTION: A display panel 1 is formed by interposing a display element between a data electrode 2 and a scan electrode 3 which are orthogonally arranged. The driver on the data side 4 is connected to the data electrode 2, and the driver on the scan side 50 is connected to the scan electrode 3. A modulate voltage generating circuit 6 impresses a modulate voltage on the display element through the drive on the data side 4. A write voltage generating circuit 70 impresses the write voltage on the display element through the driver on the scan side 50. Then, the driver on the scan side 50 is divided to plural blocks SD₁-SD_n. The write voltage is impressed only on the driver block on the scan side where the selected voltage exists, other drive blocks on the scan side are brought into a floating state. Therefore, it is possible to decrease electrical loss caused by the output capacity of the driver on the scan side 50.



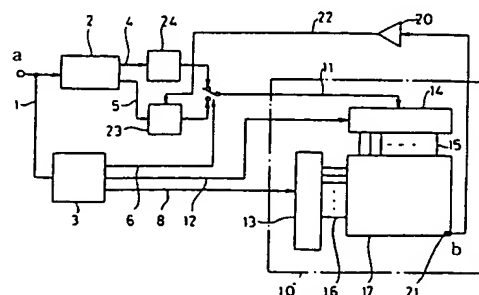
8: refresh voltage generating circuit, 9: timing signal control circuit

(54) LIQUID CRYSTAL DISPLAY DEVICE

(11) 2-184891 (A) (43) 19.7.1990 (19) JP
 (21) Appl. No. 64-3702 (22) 12.1.1989
 (71) TOSHIBA CORP (72) HISAO FUJIWARA
 (51) Int. Cl.⁵ G09G3/36, G02F1/133, H04N5/66

PURPOSE: To prevent field flicker, line flicker, and vertical stripe interference by providing at least one of display signal systems which switch the polarity negatively or positively with a means which corrects the difference in display characteristics of a liquid crystal display device caused by switching the polarity of a display signal positively or negatively.

CONSTITUTION: The liquid crystal display device 10 includes a signal electrode driving circuit 14 and a scan electrode driving circuit 13. An image signal processing circuit 2 and a timing control circuit 3 are provided outside the display device 10. The display signal 11 with its polarity switched positively or negatively, a signal for timing the device of a signal electrode 12, and a scan electrode control signal 8 are inputted to the liquid crystal display device 10. In addition, only the display signal 11 of one polarity which is inputted to the liquid crystal device 10 is corrected by a correcting circuit 23. The display signal of the other polarity passes through a delaying circuit 24 which makes the signal processed in the correcting circuit 23 to coincide with a delaying amount, and is inputted to the liquid crystal display device 10. Thus, in terms of light transmissivity between positive driving and negative driving becomes the same. Therefore, it is possible to prevent field flicker, line flicker, and vertical stripe interference.



6: polarity switching signal, a: signal input, b: temperature sensor

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-184890

⑬ Int. Cl.⁵
G 09 G 3/20

識別記号 庁内整理番号
J 6376-5C

⑭ 公開 平成2年(1990)7月19日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 マトリックス表示装置

⑯ 特 願 平1-5249

⑰ 出 願 平1(1989)1月12日

⑱ 発 明 者 塚 田 敬 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

マトリックス表示装置

2. 特許請求の範囲

(1) 直交関係にあるデータ電極と走査電極との間に表示素子を介在させてなる表示パネルと、データ電極に接続されたデータ側ドライバと、走査電極に接続された走査側ドライバと、データ側ドライバを介して表示素子に変調電圧を印加する変調電圧発生回路と、走査側ドライバを介して表示素子に書き込み電圧を印加する書き込み電圧発生回路とを備え、走査側ドライバを複数ブロックに分割し、走査側選択電極の存在する走査側ドライバブロックにのみ書き込み電圧を印加し、他の走査側ドライバブロックについてはフローティング状態とするように構成したことを特徴とするマトリックス表示装置。

(2) 走査側ドライバは、奇数電極群と偶数電極群との2分割ブロックとしたことを特徴とする請求項1記載のマトリックス表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明はエレクトロルミネッセンス(以下ELと称す)、プラズマ(PDP)等の表示素子によるマトリックス表示装置に関するものである。さらには、駆動時における駆動電力の削減に関するものである。

従来の技術

従来のマトリックス表示装置として、薄膜ELパネルを使用したマトリックス表示装置を例にとって説明する。第5図はこの従来の薄膜EL表示装置の駆動回路ブロック図を示すものであり、1はEL表示素子からなる薄膜EL表示パネル、2はデータ電極、3は走査電極で両者は直交関係にある。4はデータ電極2を介してEL表示素子に変調電圧(V_m)を印加し出力段がプッシュプルトランジスタQDで構成されるデータ側ドライバ、5は走査電極3を介してEL表示素子に書き込み電圧(-V_w)あるいはリフレッシュ電圧(V_r)を印加し出力段がプルダウン型トランジスタQSで構成さ

れる走査側ドライバ、6は変調電圧(V_m)を供給する変調電圧発生回路、7は書き込み電圧($-V_w$)を供給する書き込み電圧発生回路、8はリフレッシュ電圧(V_r)を供給するリフレッシュ電圧発生回路、9は各ドライバ4、5、電圧発生回路6、7、8を制御するタイミング信号を発生するタイミング信号制御回路である。

この従来例において走査側ドライバ5のGNDラインには、書き込み電圧($-V_w$)及びリフレッシュ電圧(V_r)を印加する必要があるため走査側ドライバ5はフローティング動作とせねばならず、タイミング信号制御回路9からのタイミング信号はフォトカプラー結合等で絶縁する必要がある。尚、ここでの走査電極3の数は、S1~S800の800ラインとする。このような回路構成によるEL表示装置は、1フレームに2回発光する一斉反転リフレッシュ駆動法で交流駆動される。

線順次走査において、データ側ドライバ4は選択走査電極3の1ライン分の転送データ信号に対して発光させるEL表示素子に対してのみ変調

電圧(V_m)を印加するようにプッシュプルトランジスタQDのオンオフ制御を行なう。

一方、走査側では第8図に示すようにデータ側ドライバ4と同期して走査側ドライバ5は、走査電極3のS1からS800の順番で順次ブルダウン型トランジスタを一走査期間のみオンすると共に、書き込み電圧発生回路7からの出力Wは毎走査連続して書き込み電圧($-V_w$)を供給しているため、走査側ドライバ5により選択された走査電極3にのみ書き込み電圧($-V_w$)が印加され選択走査電極ライン上の全EL表示素子に充電される。このとき選択走査電極ライン上で変調電圧(V_m)の充電されているEL表示素子のみ発光し、データの表示が行なわれる。S1~S800まで線順次走査の終了後、書き込み電圧($-V_w$)と逆極性のリフレッシュ電圧(V_r)をEL表示パネル1の全EL表示素子に対して再度、逆充電が行なわれてEL表示素子はリフレッシュされると共に、走査期間に発光したEL表示素子は再発光し1フレームを終了する。

走査側ドライバ5は第7図に示すような入力段

のシフトレジスタやラッチ回路等からなるロジック回路と出力段のブルダウン型トランジスタ(QS1~QS_n)で構成され、各ドレインは出力チャンネル(Q1~Q_n)を介して前記走査電極3に接続され、各ソースはGNDラインに共通接続される。これらドレイン、ソース間にはクランプダイオードDcが形成される以外に、チャンネル間容量、線間容量、浮遊容量等を含めた出力容量C_oが形成される。

発明が解決しようとする課題

しかしながら前記のような構成では、線順次走査において走査側ドライバの選択、非選択に関係なく走査電極に接続されている全部の走査側ドライバのGNDラインに対し書き込み電圧($-V_w$)が印加されるため、走査電極が非選択となっている出力チャンネルの出力容量C_oによる駆動電力Pの損失を招くという問題点がある。

一般に容量性負荷における駆動電力Pは、 $P = C \cdot N \cdot V^2 \cdot f$ で示される。ここでCは一走査電極ライン上の容量、Nは走査電極数、Vは印加電圧、fはフレーム周波数で通常は60Hzである。

線順次走査における書き込み駆動電力P_wを、一走査電極ライン上の容量が1000ラインであるデータ電極を想定してC_s=5nF、書き込み電圧V_w=200Vの場合で求めると、

$$P_w = C_s \cdot N \cdot V_w^2 \cdot f \\ = 5 \text{ nF} \cdot 800 \cdot 200^2 \cdot 60 = 9.6 \text{ W}$$

である。一方、出力容量C_oによる電力損失P_cを考えてみると出力容量C_oの値は、1出力段当り3pF前後と非常に小さく一見無視できそうな値でもあるが高電圧を必要とするEL表示素子では、高解像度化などで走査電極数を多くした場合それに比例して電力損失は増加してくる。走査電極が非選択となっている出力チャンネル(N-1ヶ所)においては、C_oよりC_oに印加電圧の殆どが印加される。それ故、出力容量C_oによる電力損失P_cは、

$$P_c = (C_o \cdot (N - 1)) \cdot N \cdot V^2 \cdot f \\ = (3 \text{ pF} \cdot 799) \cdot 800 \cdot 200^2 \cdot 60 = 4.8 \text{ W}$$

である。

従って、全書き込み駆動電力 P_t は、 $P_t = P_v + P_c = 9.8 + 4.8 = 14.2 \text{ w}$ となるので、全書き込み駆動電力 P_t に対する出力容量 C_o による電力損失 P_c の割合は約32%にもおよび、本来必要とする書き込み駆動電力 P_v に対して電力損失 P_c は無視できない大きな損失レベルとなるので、書き込み電圧発生回路7を始め無駄な損失電力による駆動電力の増大を招く結果となる。

本発明はかかる点に鑑み、ドライバの出力容量による駆動電力損失を低減させるマトリクス表示装置を提供することを目的とする。

課題を解決するための手段

本発明は、直交関係にあるデータ電極と走査電極との間に表示素子を介在させてなる表示パネルと、データ電極に接続されたデータ側ドライバと、走査電極に接続された走査側ドライバと、データ側ドライバを介して表示素子に駆動電圧を印加する駆動電圧発生回路と、走査側ドライバを介して表示素子に書き込み電圧を印加する書き込み電圧発生回路とを備え、走査側ドライバを複数ブロッ

クに分割し、走査側選択電極の存在する走査側ドライバブロックにのみ書き込み電圧を印加し、他の走査側ドライバブロックについてはフローティング状態とするように構成したことを特徴とする。

作 用

本発明は前記した構成により、走査側ドライバのGNDラインに対して、書き込みパルスを書き込み電圧発生回路ブロックのみに印加し、他の走査側電極ブロックに関してはフローティング状態とするので、走査側ドライバの出力容量 C_o への書き込み電圧の充電は、選択電極ブロックのみでフローティングブロックには充電されないため、走査側ドライバの出力容量 C_o による無駄な電力損失は、大幅に削減できる。

実 施 例

第1図～第2図は本発明の第1の実施例における薄膜ELパネルを使用したマトリクス表示装置を示すものである。第1図に示す同装置の駆動回路において、50は走査側ドライバ、70は書き込み電圧発生回路である。

この例では走査電極3の数が800本の時200本単位で4ブロックに分割し、走査側ドライバ50もこれに対応してSD1～SD4に4ブロック化され、各ブロック毎にGNDラインが独立した形となる。SD1ブロックの出力は走査電極3のS1～S200、SD2ブロックの出力は走査電極3のS201～S400、SD3ブロックの出力は走査電極3のS401～S800、SD4の出力は走査電極3のS801～S800に接続されている。同様に、書き込み電圧発生回路70はW1～W4の4ブロックに分割され、W1の書き込み電圧出力はSD1のGNDライン、W2の書き込み電圧出力はSD2のGNDライン、W3の書き込み電圧出力はSD3のGNDライン、W4の書き込み電圧出力はSD4のGNDラインに供給される。さらには、リフレッシュ電圧発生回路8のリフレッシュ電圧出力は、ダイオードDを介して4ブロック化された走査側ドライバ50の各GNDラインに供給される。

このような駆動回路構成における駆動電圧の印

加のタイミングチャート図を示したのが第2図である。リフレッシュ期間に対しては、従来と同様にリフレッシュ電圧発生回路8よりダイオードD及び走査側ドライバ50のGNDラインを介してリフレッシュ電圧(V_r)が走査電極3の全EL表示素子に印加される。一方、線順次走査期間における書き込み電圧($-V_w$)の印加については、走査側選択電極の存在する走査側ドライバ50のブロック毎に供給される。つまり、走査側選択電極がS1～S200にある場合、書き込み電圧発生回路70のW1のみが走査側ドライバ50のSD1のGNDラインに出力し、他のW2、W3、W4はオフであるためSD2、SD3、SD4のGNDラインはフローティング状態となる。以下、同様に走査側選択電極がS201～S400にある場合、W2がオン、W1、W3、W4がオフとなり、SD1、SD3、SD4のGNDラインはフローティング状態となる。走査側選択電極がS401～S800にある場合は、W3がオン、W1、W2、W4がオフとなりSD1、SD2、SD4のGNDラインは

フローティング状態となる。また、走査側選択電極がS801~S800にある場合は、W4がオン、W1、W2、W3がオフとなり、SD1、SD2、SD3のGNDラインはフローティング状態となる。尚、タイミング信号制御回路8からの制御信号は、走査側ドライバ50に対しては従来と同様であり、書き込み電圧発生回路70に対しては4分の1フレーム周期毎にW1~W4を順次駆動するように制御される。

このような駆動を行なうことにより、走査側ドライバ50の出力容量C_oによる電力損失は、書き込み電圧(-V_w)の印加される走査側選択電極の存在するブロックのみになるので4分の1に削減される。それ故、出力容量C_oによる電力損失P_cは、

$$P_c = (C_o * ((N/4) - 1)) * N * V_w^2 * f$$

$$= (3pF * 199) * 800 * 200^2 * 60$$

$$1.2 \text{ w}$$

となり従来の4.8wに比べ1.2wに低減する。

従って、全書き込み駆動電力P_tは、P_t = P_w +

51に書き込み電圧出力W0を供給する奇数電極書き込み電圧発生回路、72は走査側偶数ドライバ52に書き込み電圧出力WEを供給する偶数電極書き込み電圧発生回路である。

走査側奇数ドライバ51のGNDラインには、奇数電極書き込み電圧発生回路71からの出力W0が供給され、一方、走査側偶数ドライバ52のGNDラインには偶数電極書き込み電圧発生回路72からの出力WEが供給される。さらにリフレッシュ電圧発生回路8からのリフレッシュ電圧が、ダイオードDを介して両方の走査側ドライバ51、52に供給される。

線順次走査の書き込み動作における走査側ドライバ51、52と書き込み電圧発生回路71、72との関係について、第4図に示すこの駆動回路構成における駆動電圧の印加のタイミングチャートを参照しながら述べる。走査側奇数ドライバ51の走査側奇数電極31の選択と奇数電極書き込み電圧発生回路71の書き込み電圧出力W0は、タイミング信号制御回路9の制御信号により同期動作

P_c = 9.8 + 1.2 = 10.8wとなる。全書き込み駆動電力P_tに対する出力容量C_oによる電力損失P_cの割合は約11%となり従来例に比べ3分の1に低減される。

以上のようにこの実施例によれば、走査側ドライバ50のGNDラインをnブロックに分割して、走査側選択電極の存在する分割ブロックに対応して書き込み電圧(-V_w)を供給することにより、走査側非選択電極の存在する分割ブロックの走査側ドライバ50の出力容量C_oによる電力損失を無くすることができる。つまり、分割ブロック数をnとすれば走査側ドライバ50の出力容量C_oによる電力損失はn分の1に削減できる。

第3図~第4図は本発明の第2の実施例における薄膜ELパネルを使用したマトリクス表示装置を示すものである。

第3図に示す同装置の駆動回路において、51は走査側奇数電極31に接続された走査側奇数ドライバ、52は走査側偶数電極32に接続された走査側偶数ドライバ、71は走査側奇数ドライバ

となるように制御される。同様に、走査側偶数ドライバ52の走査側偶数電極32の選択と偶数電極書き込み電圧発生回路72の書き込み電圧出力WEは、タイミング信号制御回路9の制御信号により同期動作となるように制御される。書き込み電圧出力W0、WEは、一定走査期間毎に出力されタイミング的にはお互いに相反の関係にあるので、両者の同時出力は起こらない。

このように、走査側奇数電極31に選択電極がある時には、走査側奇数ドライバ51のGNDラインにのみ書き込み電圧(-V_w)が印加され、走査側偶数ドライバ52のGNDラインはフローティング状態となるので、走査側偶数ドライバ52の出力容量C_oには書き込み電圧(-V_w)の充電が行なわれず電力損失はなくなる。又、走査側偶数電極32に選択電極がある時には、走査側偶数ドライバ52のGNDラインにのみ書き込み電圧(-V_w)が印加され、走査側奇数ドライバ51のGNDラインはフローティング状態となるので、走査側奇数ドライバ51の出力容量C_oには書き込み電圧(-

-V_v)の充電が行なわれず電力損失はなくなる。

このような駆動により、全体として走査側ドライバ51、52の出力容量C_oによる電力損失P_cは半減し、従来の4.8wに比べ2.3wに低減する。これより、全書き込み駆動電力P_tは、 $P_t = P_v + P_c = 9.6 + 2.3 = 11.9w$ となる。従って、全書き込み駆動電力P_tに対する出力容量C_oによる電力損失P_cの割合は約19%となり従来例に比べ3分の2に低減される。

以上のようにこの実施例によれば、走査側ドライバを奇数側ブロックと偶数側ブロックとで2分割するもので、電力損失の削減率は2分の1と第1の実施例に比べて効果は少ないが、一般に高解像度パネルになるほどマトリックス電極のピッチが狭くなり表示パネルへのドライバの実装を出来るだけ容易にするため、データ側ドライバについては上下部、走査側ドライバについては左右部の両方で行なわれるので、ドライバの実装を何ら変えることなしに書き込み電圧発生回路の付加のみで駆動できるので、第1の実施例に比べ簡単に実

施できる。

なお、本発明は走査側ドライバとして集積されたドライバICは無論のこと、ディスクリートトランジスタ構成でも何ら差し支えない。また、上記実施例では一斉反転リフレッシュ駆動法について述べたが、この駆動法に限らず走査側ドライバにプッシュプル構成ドライバを使用するフレーム反転駆動法でも有効である。この場合、走査側ドライバのプッシュ段への正の書き込み電圧の印加及びプル段への負の書き込み電圧の印加が行なわれるが、両方の書き込み電圧に対して本発明の適用は有効である。

さらに、上記実施例では薄膜E_Lパネルを使用したE_L表示装置について説明したが、液晶(LCD)プラズマ(PDP)等のように走査側ドライバを接続して線順次走査するマトリックス表示装置であれば本発明が有効であることは言うまでもない。

発明の効果

以上説明したように、本発明によれば、走査側

ドライバを多分割化し、選択電極の存在する走査側ドライバブロックのGNDラインにのみ書き込み電圧を印加し、非選択電極のある走査側ドライバブロックのGNDラインをフローティング状態にすることにより、非選択電極のある走査側ドライバブロックのドライバの出力容量に起因した電力損失を削減することができ、その実用的効果は大きい。

4、図面の簡単な説明

第1図は本発明の第1の実施例における薄膜E_L表示装置の駆動回路のブロック図、第2図は同実施例の動作タイミングチャート図、第3図は本発明の第2の実施例における薄膜E_L表示装置の駆動回路ブロック図、第4図は同実施例の動作タイミングチャート図、第5図は従来例における薄膜E_L表示装置の駆動回路ブロック図、第6図は従来例の動作タイミングチャート図、第7図は走査側ドライバの回路構成図である。

1…薄膜E_L表示パネル、2…データ電極、3…走査電極、31…走査側奇数電極、32…走査

側偶数電極、4…データ側ドライバ、5、50…走査側ドライバ、51…走査側奇数ドライバ、52…走査側偶数ドライバ、6…変調電圧発生回路、7、70…書き込み電圧発生回路、71…奇数電極書き込み電圧発生回路、72…偶数電極書き込み電圧発生回路。

代理人の氏名 弁理士 栗野重孝 ほか1名

- 1 --- 薄膜 EL 表示パネル
- 2 --- データ電極
- 3 --- 走査電極
- 4 --- データ側ドライバ
- 6 --- 変調電圧発生回路
- 50 --- 走査側ドライバ
- 70 --- 書き込み電圧発生回路

図 1 図

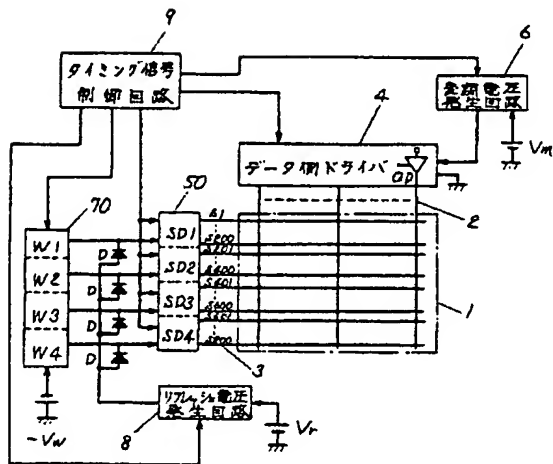
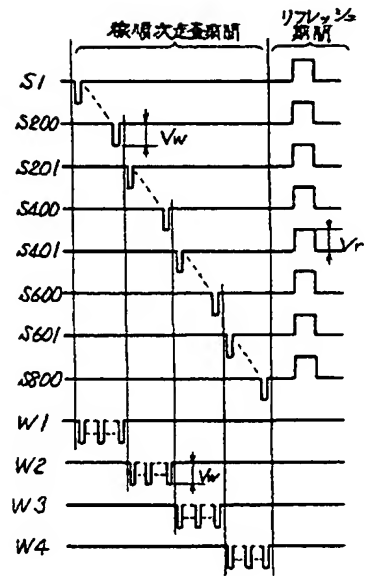


図 2 図



- 31 --- 走査側奇数電極
- 32 --- 走査側偶数電極
- 51 --- 走査側奇数ドライバ
- 52 --- 走査側偶数ドライバ
- 71 --- 奇数電極書き込み電圧発生回路
- 72 --- 偶数電極書き込み電圧発生回路

図 3 図

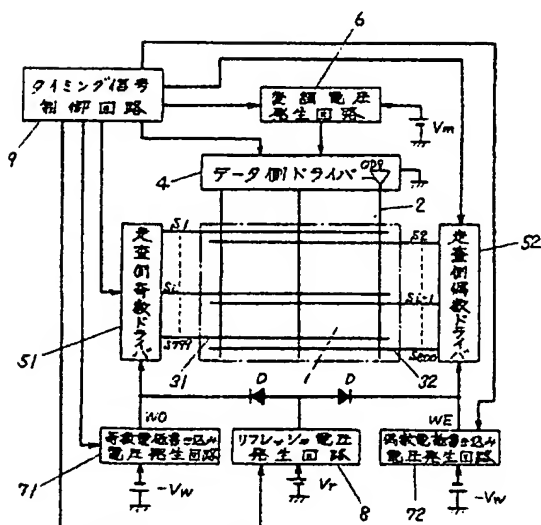


図 4 図

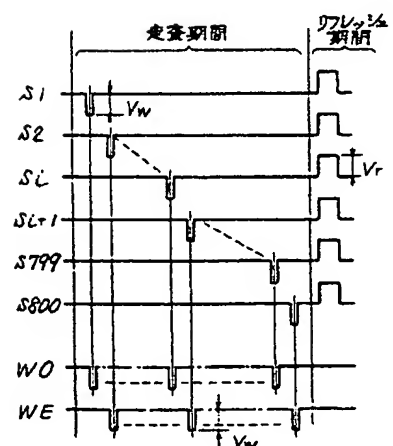


図 5

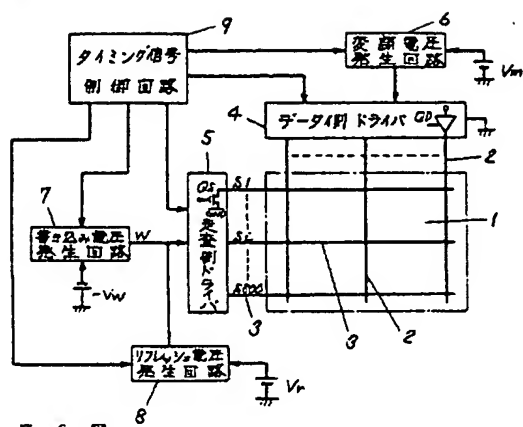


図 6

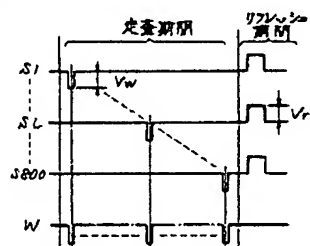


図 7

